

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-88646

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl.⁵

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

5 6 0

庁内整理番号

7926-5G

7820-2K

F I

技術表示箇所

審査請求 未請求 請求項の数6(全 13 頁)

(21)出願番号 特願平3-275020

(22)出願日 平成3年(1991)9月27日

(71)出願人 000005201

富士写真フィルム株式会社

神奈川県南足柄市中沼210番地

(72)発明者 木村 宏一

静岡県富士宮市大中里200番地 富士写真
フィルム株式会社内

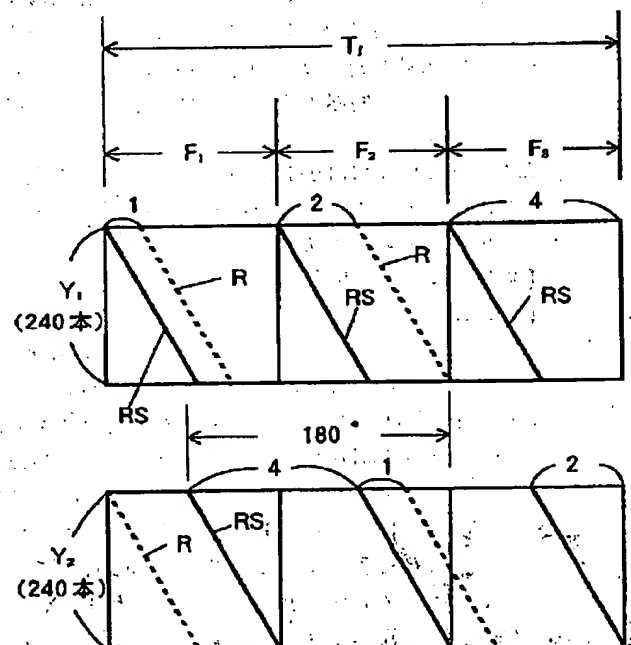
(74)代理人 弁理士 山田 文雄 (外1名)

(54)【発明の名称】 平面型表示デバイスのマトリックス駆動方法

(57)【要約】

【目的】 強誘電性液晶などの双安定性を有する平面型表示デバイスを、等分割フレーム周期短縮走査法により多階調表示を行う平面型表示デバイスにおいて、フリッカを防止して画質を向上させることができるようにしたマトリックス駆動方法を提供する。

【構成】 2^N 階調の表示を行う場合に、フレーム周期 T_f を N 個のフィールドに等分割し、各フィールド内で全走査線に対してそれぞれ書込みを行う一方、全走査線を複数の群に分割し、これらの各群内では前記各フィールドの書込みからそれぞれ 2^n (n は $0, 1, \dots, N-1$) の階調に対応する時間後にリセットし、各群内の同一階調の期間が時間的に重ならないように各群をインターレース走査する。



(2)

【特許請求の範囲】

【請求項1】 走査電極および表示電極の交差領域に双安定性を有する画素を形成し、各画素を明または暗に設定することにより 2^N 階調の表示を行う平面型表示デバイスのマトリックス駆動方法において、フレーム周期 T_f を N 個のフィールドに等分割し、各フィールド内で全走査線に対してそれぞれ書込みを行う一方、全走査線を複数の群に分割し、これらの各群内では前記各フィールドの書込みからそれぞれ 2^n (n は0、1、…、 $N-1$)の階調に対応する時間後にリセットし、各群内の同一階調の期間が時間的に重ならないように各群をインターレース走査することを特徴とする平面型表示デバイスのマトリックス駆動方法。

【請求項2】 走査線を偶数の群に分割し、インターレース走査される隣接する走査線の位相をほぼ 180° づらした請求項1の平面型表示デバイスのマトリックス駆動方法。

【請求項3】 N を3とし、走査線を2つの群に分割した請求項2の平面型表示デバイスのマトリックス駆動方法。

【請求項4】 走査線は3以上の群に分割され、異なる群の走査線が隣接するようにインターレース走査する請求項1の平面型表示デバイスのマトリックス駆動方法。

【請求項5】 走査電極および表示電極の交差領域に双安定性を有する画素を形成し、各画素を明または暗に設定することにより 2^N 階調の表示を行う平面型表示デバイスのマトリックス駆動方法において、フレーム周期 T_f を N 個のフィールドに等分割し、各フィールド内で全走査線に対してそれぞれ書込みを行う一方、各走査線では前記各フィールドの書込みから 2^n (n は0、1、…、 $N-1$)の階調に対応する時間後にリセットし、隣接する走査線の同一階調の期間が時間的に重ならないようにしたことを特徴とする平面型表示デバイスのマトリックス駆動方法。

【請求項6】 N は偶数であり、隣接する走査線の位相が 180° ずれている請求項5の平面型表示デバイスのマトリックス駆動方法。

【発明の詳細な説明】

【0001】

$\tau = T_f / (Y \times n \times 2) = T_f / 480 \times 15 \times 2 = T_f / 14400$

となり、やはり応答性が著しく高い液晶が必要となる。

【0006】等分割フレーム周期短縮走査法も公知である（例えば特開昭62-56936号）。この方法は図13に16 ($=2^4$)階調の例で示すように、 2^4 階調とした時にフレーム周期 T_f を4等分した各ブロック1～4をそれぞれ8、4、2、1の階調に対応させ、適宜必要なブロック1～4を用いて希望の階調を描くものである。ここに各ブロック1～4においては、図にRSで示すタイミングで書き込みを行う一方、ブロック2、3、4においてはそれぞれこのRSの書き込みから4、

2

* 【産業上の利用分野】本発明は、強誘電性液晶などの双安定性を有する平面型表示デバイスを用いて多階調の表示を行うためのマトリックス駆動方法に関するものである。

【0002】

【従来の技術および発明の背景】高速スイッチング特性と双安定性（メモリー性）を有する強誘電体液晶その他の平面型表示デバイスが公知である。その双安定性という特性を利用した種々の駆動方法も提案されている。

【0003】例えば2フィールド法は、1フレームを2つの連続するフィールド、すなわち黒を描きかつ白い画素を保持する第1フィールドと、白い画素を描きかつ黒い画素を保持する第2フィールドとで構成するものである。この方法は、黒および白を書き込むのに2つの別々のフィールドを必要とするため、一つのフレームを書くのに必要な時間（フレーム周期） T_f が長くなる。すなわち白または黒の書き込みに要するパルス幅（選択時間）を 2τ とすればこの方法では 4τ の書き込み時間を必要とする。このため必然的に選択時間 2τ あるいはパルス幅 τ を極めて短くできる液晶が必要になる。しかしこのような高速な応答性を有するものを得ることが非常に困難である。またパルス幅 τ を短くできないので、フレーム周期 T_f が長くなり、フリッカも発生し易い。

【0004】また等分割走査法も公知である。この方法は図12の説明図に示すように、1フレーム周期 T_f を $n+1$ 階調とした時（図では $n=15$ ）には n に等分割し、分割した各ブロック内で全走査線（その数 Y を例えば480本とする）を走査し、走査線毎に書き込みタイミングをづらしつつ書き込むものである。図中RSは各走査線に対応する書き込み走査のタイミングを簡略化して示すものである。この方法においては描く階調に応じて黒または白に書き込むブロック数を0から15まで変化させる。すなわち例えば階調1ではブロック1の時間だけ黒または白に書き込み、階調10ではブロック1～10の時間書き込むものである。

【0005】しかしこの方法には白または黒への書き込みパルス幅 τ が非常に短くなるという問題がある。すなわち

2、1階調に対応する時間後にRで示すリセットを行い、走査線上の全ての画素を強制的にリセットする。これにより、それぞれのブロック2、3、4を4、2、1の階調に対応させている。

【0007】この方法によればパルス幅 τ は、 $\tau = T_f / (480 \times 4 \times 2) = T_f / 3840$

となり十分に長くすることが可能である。しかしこの方法によればフリッカすなわち画面のチラツキが発生し易いという問題があった。

(3)

【0008】このフリッカは、隣り合う画素の点滅が1フレーム周期 T_f 内で同期する時あるいは時間的に接近する時に発生するものであり、この図13のものでは隣り合う走査線上の隣り合う画素がほぼ同期して点滅するからである。

【0009】

【発明の目的】本発明はこのような事情に鑑みなされたものであり、図13に示した従来の等分割フレーム周期短縮走査法において、フリッカを防止して画質を向上させることができるようにした平面型表示デバイスのマトリックス駆動方法を提供することを目的とする。

【0010】

【発明の構成】本発明によればこの目的は、走査電極および表示電極の交差領域に双安定性を有する画素を形成し、各画素を明または暗に設定することにより、 2^N 階調の表示を行う平面型表示デバイスのマトリックス駆動方法において、フレーム周期 T_f を N 個のフィールドに等分割し、各フィールド内で全走査線に対してそれぞれ書き込みを行う一方、全走査線を複数の群に分割し、これらの各群内では前記各フィールドの書き込みからそれぞれ2 n (n は0、1、 \dots 、 $N-1$)の階調に対応する時間後にリセットし、各群内の同一階調の期間が時間的に重ならないように各群をインターレース走査することとを特徴とする平面型表示デバイスのマトリックス駆動方法により達成される。

【0011】またこの同一目的は、フレーム周期 T_f を N 個のフィールドに等分割し、各フィールド内で全走査線に対してそれぞれ書き込みを行う一方、各走査線では前記各フィールドの書き込みから2 N (n は0、1、 \dots 、 $N-1$)の階調に対応する時間後にリセットし、隣接する走査線の同一階調の期間が時間的に重ならないようにしたことを特徴とする平面型表示デバイスのマトリックス駆動方法によっても達成される。

【0012】ここに隣接する走査線の位相をほぼ180°ずらすのが望ましいが、このようにできない場合はできるだけ180°の位相差に近くなるようにするのがよい。

【0013】

【実施例】図1は液晶表示板の電極配置を示す概念図、図2はそのII-II線断面図である。これらの図で符号10は透明ガラス板からなる上基板、12は同じく下基板である。14、16はこれら上・下基板10、12の対向する面に形成された透明な帯状のデータ電極と走査電極である。これらの電極14、16は互いに直交している。

【0014】これらの電極14、16はそれぞれ配向膜18、20で覆われた後、互いに対向するように配置され、その間隙に液晶22が挟まれる。24はこの液晶22の間隙を一定に保つためのスペーサである。この結果、両電極14、16の間に挟まれた領域(例えば図1に示

す領域A)は、この電極14、16間の電圧により透過光量に変化する画素領域となる。

【0015】液晶22としては例えば強誘電性液晶が適する。この強誘電性液晶22は、カイラルスメクティックC相の液晶で代表される自発分極を示す一群のスメクティック液晶材料であり、高速スイッチング現象と双安定性と呼ばれるメモリー現象を示す。すなわち電場の印加により形成された自発分極の配向方位が一様に揃った分子配列状態が、電場を切ってもそのままメモリーされる性質を持つ。このように作られた液晶板は、2板の偏光板(図示せず)間に置かれ、背後に置かれた照明装置からの透過光量を制御する。

【0016】

【走査チャート】ここで以下の説明に用いる走査チャートを説明する。走査電極16(図1、2参照)とデータ電極14にそれぞれ供給される信号、すなわち走査信号 v_c とデータ信号 v_I は図3に示すような波形のパルスからなる。

【0017】走査信号 v_c はリセット、選択、非選択の3種の信号を組合せて作られる。選択信号 S は、それぞれ τ の時間幅を持つ電位が0の状態と電位が V_s の状態とを持つ階級状の波形を持つ。その時間 2τ は走査電極16上の画素の“明”または“暗”に配向させる期間であり、選択期間と呼ぶ。非選択信号 N は、それぞれ τ の時間幅を有する電位が $3V_s/4$ と $V_s/4$ との波形からなり、その時間幅 2τ は、他の走査電極16を走査するための期間となる。

【0018】リセット信号 R は、 2τ の間電位が V_s となる R_1 と、 2τ の間電位が0になる R_2 の2つの波形を持つ。これら3種の信号 S 、 N 、 R は後記するように組合せられて各走査電極16に供給される。データ電極14に供給されるデータ信号 v_I は、図3に示すように 2τ の時間幅を有するオンおよびオフの2種の信号を持つ。

【0019】走査電極16上の走査信号 v_c とデータ電極14上のデータ信号 v_I とが交差する画素領域では、図4に示すように両信号 v_c 、 v_I が組合せられて画素電圧($v_c - v_I$)が加わることになる。すなわち走査信号 v_c がリセット信号 R である時には、 R_1 および R_2 の各時間 2τ に対するデータ信号 v_I のオン・オフ状態に対応して4種類の異なる画素電圧 $[v_c - v_I]_R$ が得られる。ここで画素の明暗の変化に寄与するのは最後の電圧の部分すなわち斜線部分であり、この斜線部分の面積 $\tau \times V_s$ が常に一定以上になることにより画素を強制的に“暗”にする。すなわちデータ信号 v_I のオン・オフに関係なく常に“暗”に“リセット”するものである。

【0020】走査信号 v_c が選択信号 S である時には、データ信号 v_I のオン・オフに対応して図4に示す2種の画素電圧 $[v_c - v_I]_S$ が得られる。データ信号 v

(4)

5

I がオンの時には画素電圧は V_S となり、画素を“明”にする。データ信号 v_I がオフの時には画素電圧は $V_S / 2$ となり画素の明暗を変化させることがない。走査信号 v_c が非選択信号 N である時には、データ信号 v_I がオンであってもオフであっても画素の明暗を変えるだけの画素電圧 $[v_c - v_I] N$ が得られず、明暗は変化しない。

【0021】走査信号 v_c は、選択信号 S 、非選択信号 N 、リセット信号 R が図5の(A)に示すように組合されて異なる走査電極16に順に供給される。ここに走査信号 v_{c1} 、 v_{c2} 、 v_{c3} はそれぞれ隣接する走査電極16に印加される。また選択信号 S の直前にはリセット信号 R が加えられ、これらの信号 (R_1 R_2 S) を一組として書き込みが行われる。この書き込み信号を RS で示す。

【0022】このように走査信号 v_c は、書き込み信号 RS と非選択信号 N とリセット信号 R とで構成されるから、図5の(A)を簡略化して同図の(B)のように示すことができ、さらに簡略化して同図の(C)のように書き込み走査を示すタイミングを直線 RS で、リセットのタイミングを破線 R で示す。

【0023】

【8階調の実施例】図6は $2^N = 2^3 = 8$ 階調の場合に適用した実施例の走査チャート図である。この実施例ではフレーム周期 T_f を3 ($=N$) 個の等間隔のフィールド F_1 、 F_2 、 F_3 に分割する。各フィールド内で全ての走査線 (480本) に書き込みを行うタイミングが実際の直線 RS で示されている。全走査線は書き込みの前半が行われる群 Y_1 と、書き込みの後半が行われる群 Y_2 とに等分割される。従って各群 Y_1 、 Y_2 は240本の走査線を持つ。

【0024】これら各群 Y_1 、 Y_2 では、それぞれのフィールド $F_1 \sim F_3$ に対し、書き込みタイミング RS から 2^n (n は0から $N-1$ までの整数) すなわち $2^0 = 1$ 、 $2^1 = 2$ 、 $2^2 = 4$ の階調に対応する時間後にリセットが行われる。そのタイミングは破線の直線 R で示されている。ここに各群 Y_1 、 Y_2 では、同一階調の期間が時間的に重ならないようにリセットのタイミング R が設定される。この実施例では各群 Y_1 、 Y_2 の n 番目の走査線 ($Y_1 - n$) と ($Y_2 - n$) とは、位相が 180° づれ、逆位相となっている。2番目以降の走査線も同様である。

【0025】走査する時には2つの群 Y_1 、 Y_2 をインターレースにして走査を行う。すなわち各群 Y_1 、 Y_2 の n 番目の走査線 ($Y_1 - n$) と ($Y_2 - n$) とを交互に並べて (図7参照) 走査する。各群の走査線 ($Y_1 - n$)、($Y_2 - n$) は、すべての時刻で常に異なる階調の期間となっている。特に2つの群 Y_1 、 Y_2 の n 番目の走査線は位相が 180° づれて互いに逆相になっている。

6

【0026】このため両走査線では点滅タイミングが 180° づれ、その明暗は図7にIで示すようになる。この図のIは階調を“2”とした時の明度を示し、その変化周期は $T_f / 2$ となり、フレーム周期 T_f の半分になることが解る (空間的積分効果)。このためフリッカが防止できることになる。

【0027】ここにインターレース走査は、各群 Y_1 、 Y_2 の走査線を2本おきなど所定数おきに並べて走査してもよい。また一方の群 Y_1 によるフィールドを表示した後と他方の群 Y_2 によるフィールドを表示するようにして両フィールドを交互に走査して1画面を形成するのであってもよく、さらに1画面を走査線の配列順に従って走査する方式のものであってもよい。

【0028】

【16階調の実施例1】図8は $2^N = 2^4 = 16$ 階調の実施例の走査チャート図、図9はその走査線配列を示す図、図10はその階調“8”に対する点滅タイミング説明図である。この実施例ではフレーム周期 T_f を $N (=4)$ 個のフィールド $F_1 \sim F_4$ に等分割し、各フレーム $F_1 \sim F_4$ 内で全走査線に亘って書き込みを行う (書き込みタイミング RS)。そして走査線を2つの群 Y_1 、 Y_2 に分割し、各群では同一階調の期間が重ならないようにした。特に隣接する走査線 ($Y_1 - n$) と ($Y_2 - n$) とは位相が 180° づれるようにしたので、図10に示すように点滅周期が $T_f / 2$ となることが解る。

【0029】

【16階調の実施例2】図11は16階調に対する他の実施例の走査チャート図である。この実施例は、フレーム周期 T_f を $N (=4)$ のフィールド $F_1 \sim F_4$ に等分割する一方、各フィールド $F_1 \sim F_4$ 内で全走査線に亘り書き込みを行う。そのタイミングが RS で示されている。そして奇数番目の走査線に対しては R_1 で示すタイミングでリセットし、偶数番目の走査線に対しては R_2 で示すタイミングでリセットする。

【0030】ここに隣接する走査線同志では同一階調の期間が重ならないように各リセットタイミング R_1 、 R_2 が設定される。特にこの実施例では奇数番目と偶数番目の走査線の位相が 180° づれるように設定されているから点滅周期が $T_f / 2$ になりフリッカの防止効果が大きくなる。

【0031】なお以上の各実施例は、全て隣接する走査線の位相が 180° づれるようにしたものであるが、本発明はこれに限られない。すなわち同階調の期間が重ならないようにしたものであればよい。また前記の各実施例では、走査線は2つの群 Y_1 、 Y_2 に分割しているが、本発明は3以上の群に分割してもよい。この場合隣接する走査線の位相はできるだけ逆相に近いものとなるようにするのが望ましい。

【0032】以上の実施例は強誘電体液晶を用いているが、本発明は明または暗に書き込まれた状態を書き換え

(5)

信号RSやリセット信号Rが入力されるまで維持する双安定性（メモリ性）を有する平面型表示デバイスであれば液晶に限らずプラズマディスプレイなど他の表示デバイスに適用できる。

【0033】

【発明の効果】請求項1の発明は以上のように、階調数を 2^N として、フレーム周期 T_f をN個のフィールドに等分割し、各フィールド内で全走査線に対して書込みを行う一方、全走査線を複数の群に分割し、各群内では書込みから 2^n （ $n=0, 1, \dots, N-1$ ）の階調に対応する時間後にリセットすると共に、各群内の同一階調の期間が時間的に重ならないようにインターレース走査するから、隣接する走査線上の隣接する画素間での点滅が同期しなくなり、また空間的積分効果もあってフリッカが有効に防止できる。この場合走査線を2以上例えば2つの群に分割して隣接する走査線の位相をほぼ 180° づらしたばあいには空間的積分効果によりフリッカの防止効果は一層顕著になる（請求項2、3）。また走査線を3以上の群に分割して、各群の走査線が互いに隣接するようにインターレース走査する場合には空間的積分効果により点滅周期を $1/3$ 、 $1/4$ …にできる可能性もあり、フリッカ防止効果はさらに大きくなる可能性がある（請求項4）。請求項5の発明によれば、隣接する走査線の同一階調の期間が時間的に重ならないように、奇数番目と偶数番目の走査線に対してリセットのタイミングを変えたから、前記請求項1の発明と同様の効果が得られる。ここに隣接する走査線の位相をほぼ 180° づ

らせば効果はさらに大きくなる（請求項6）。

【図面の簡単な説明】

【図1】液晶表示板の電極配置を示す概念図

【図2】そのII-II線断面図

【図3】走査信号とデータ信号のパルスの波形図

【図4】画素電圧の波形図

【図5】走査チャートの説明図

【図6】8階調の実施例の走査チャート図

【図7】その点滅タイミング説明図

【図8】16階調の実施例1の走査チャート図

【図9】その走査線配列説明図

【図10】その点滅タイミング説明図

【図11】16階調の実施例2の走査チャート図

【図12】従来の等分割走査法の説明図

【図13】従来の等分割フレーム周期短縮走査法の説明図

【符号の説明】

10 上基板

12 下基板

14 データ電極

16 走査電極

22 液晶

T_f フレーム周期

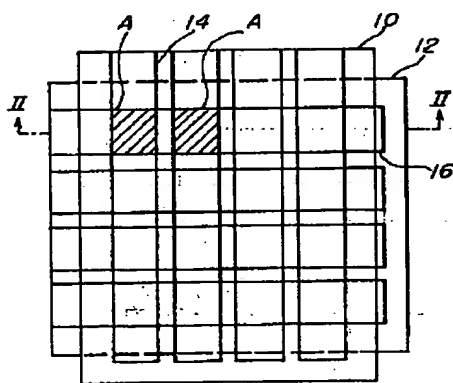
$F_1, F_2 \dots$ フィールド

$Y_1, Y_2 \dots$ 群

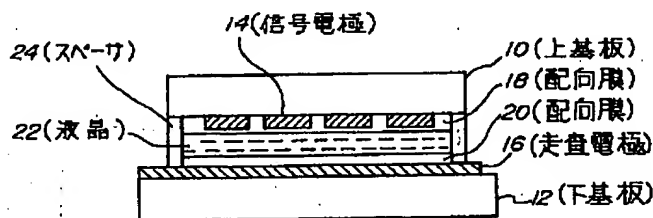
RS 書込み信号

R リセット信号

【図1】

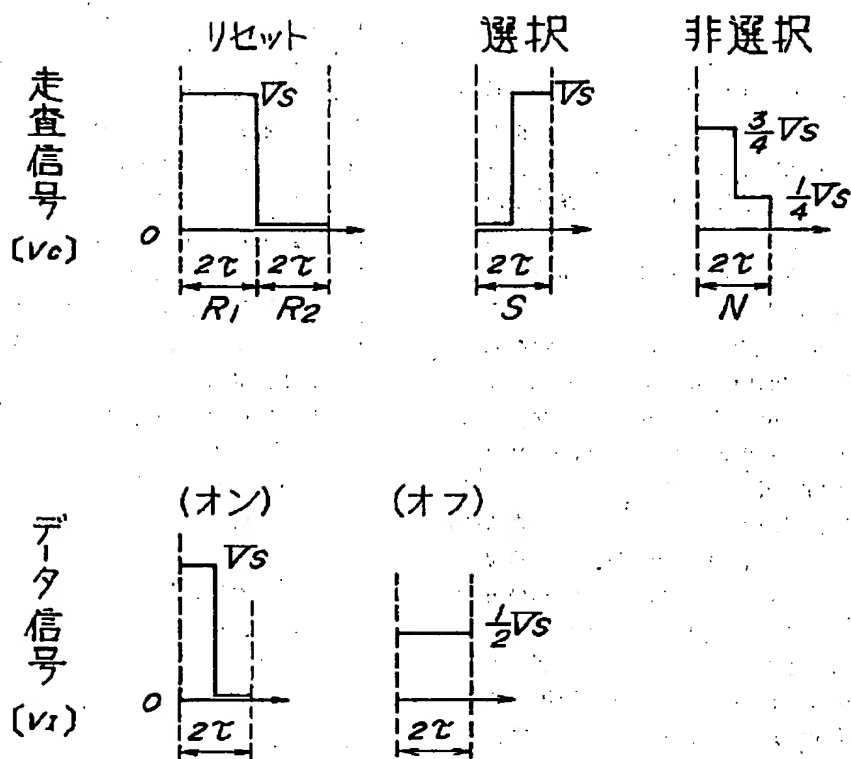


【図2】

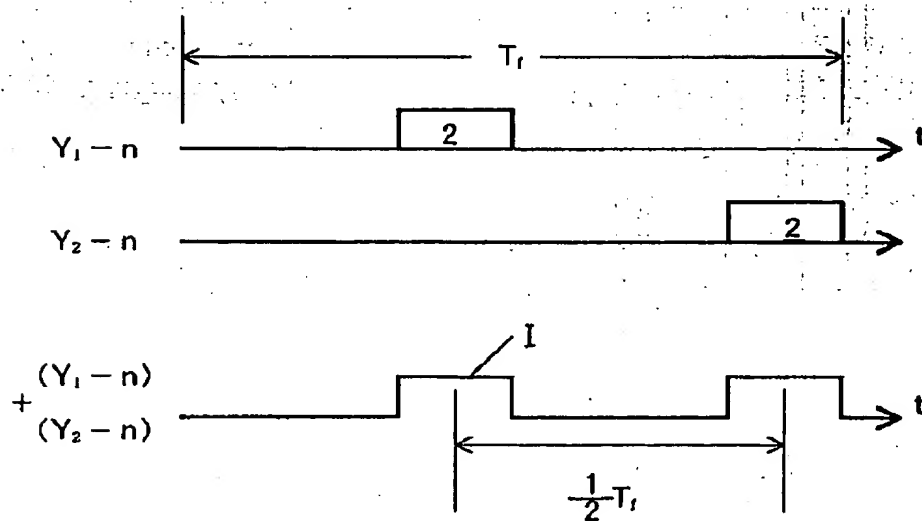


(6)

【図3】

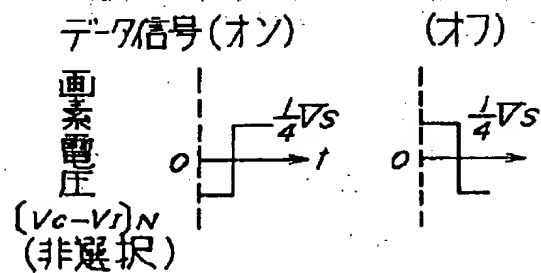
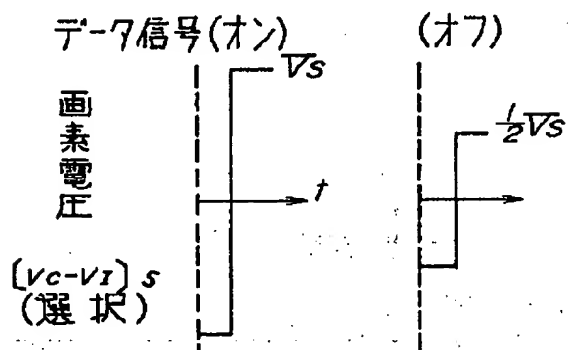
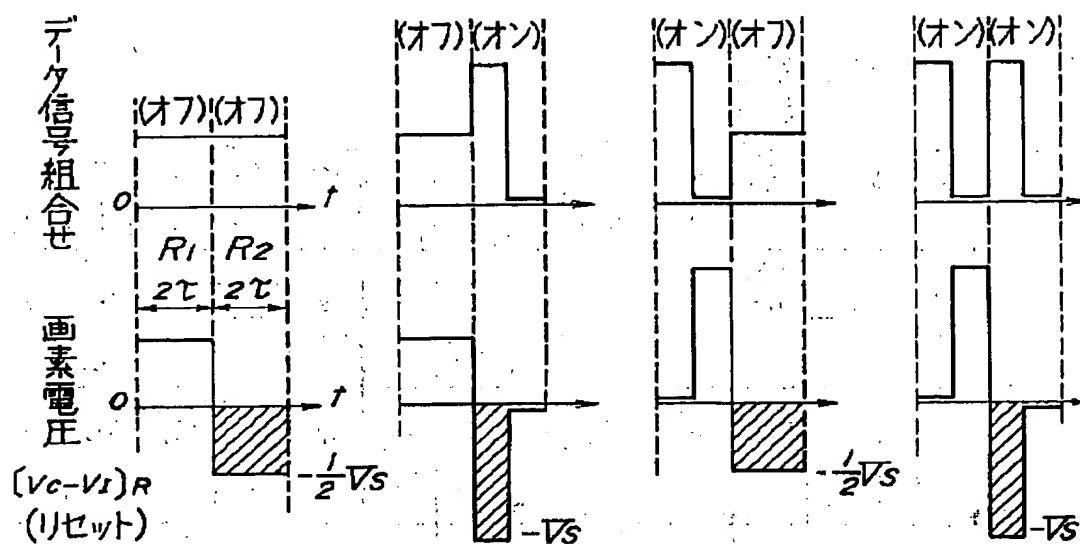


【図7】



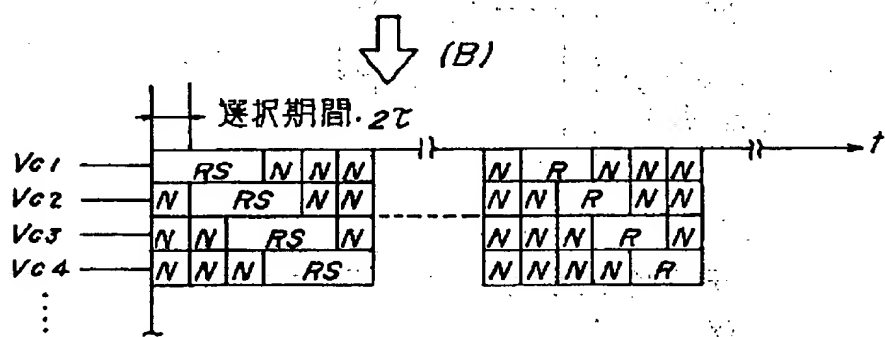
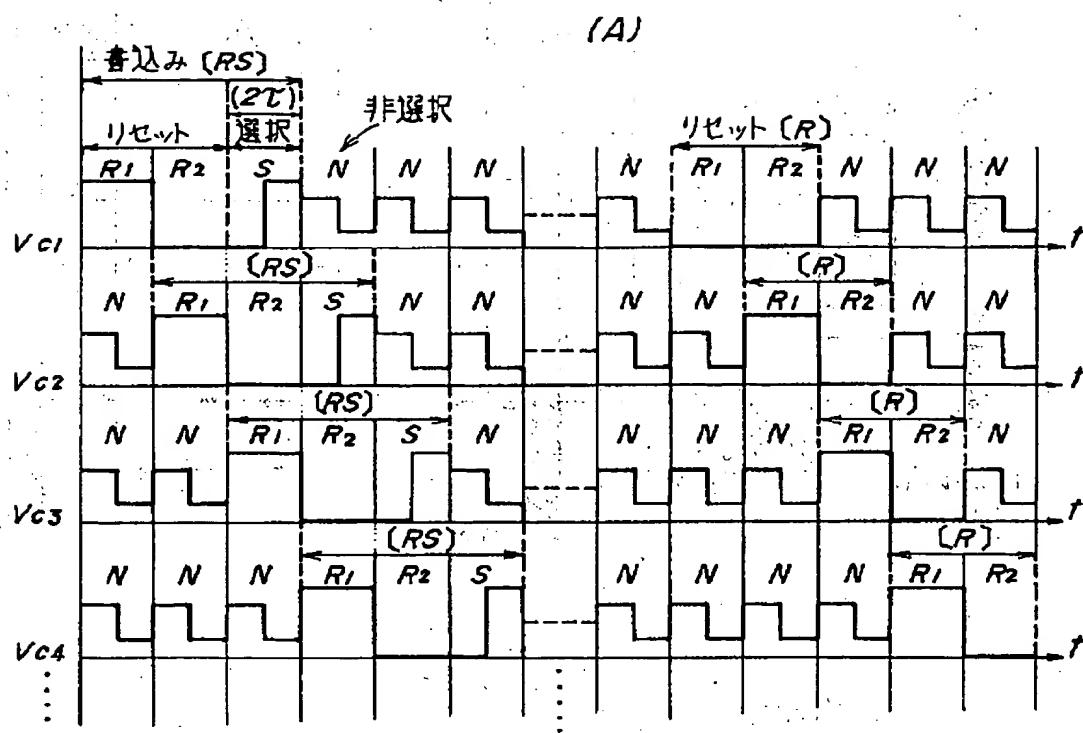
(7)

【図4】



(8)

【図5】

走査4x+

走査電極

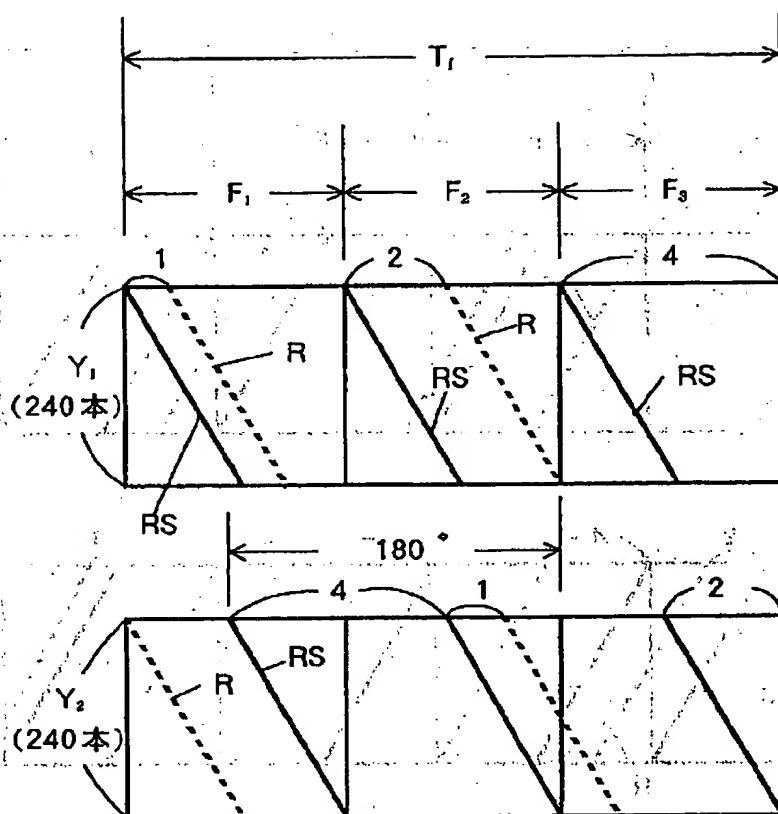
(C)

RS (書き込み走査)

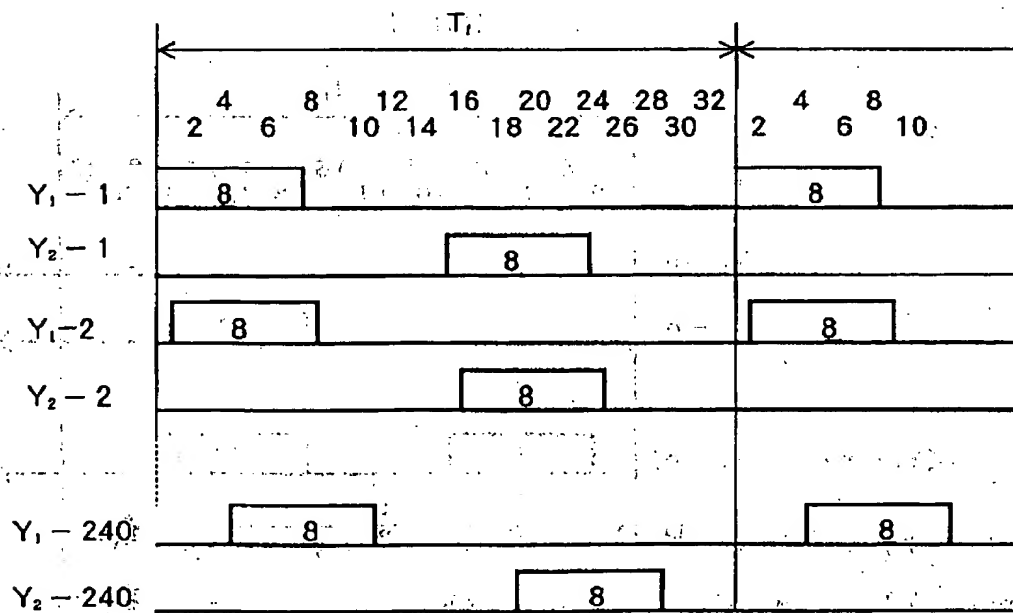
R (リセット走査)

(9)

【図 6】

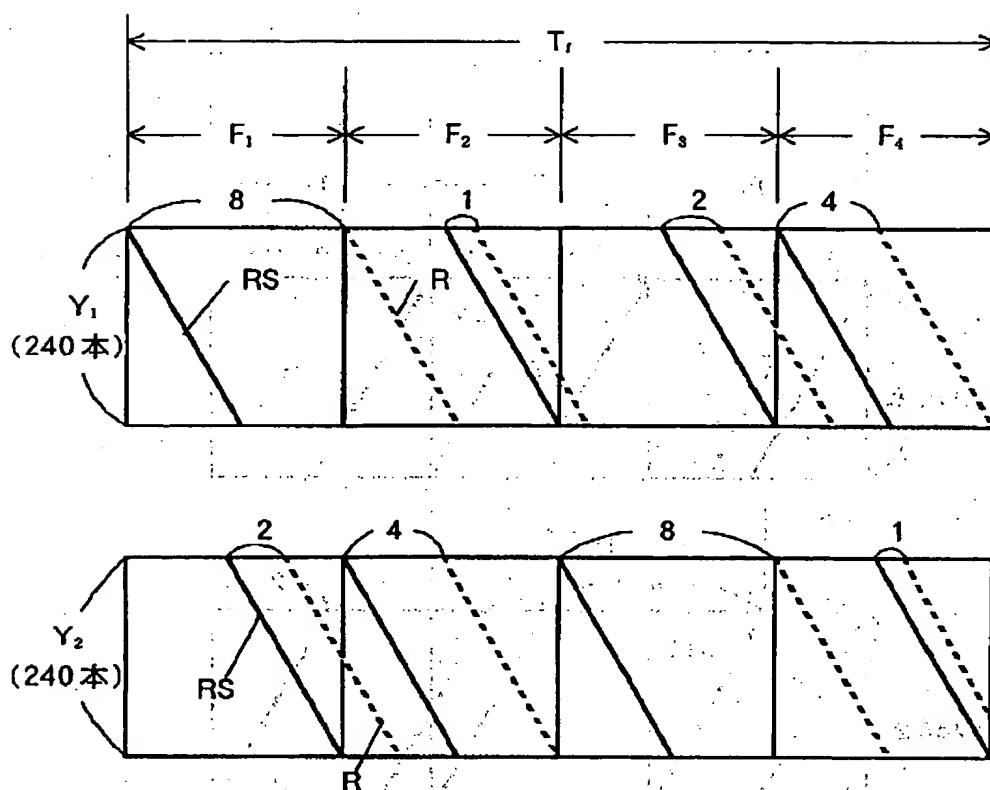


【図9】

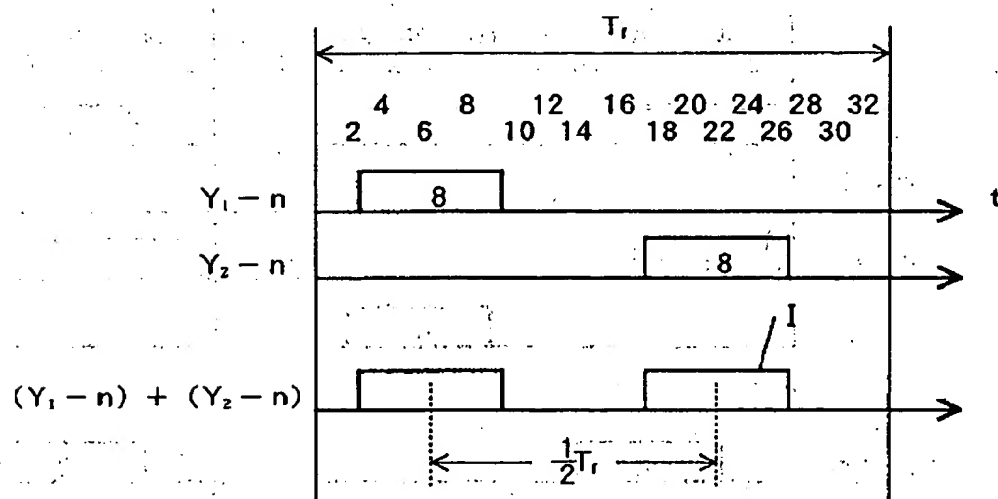


(10)

【図8】

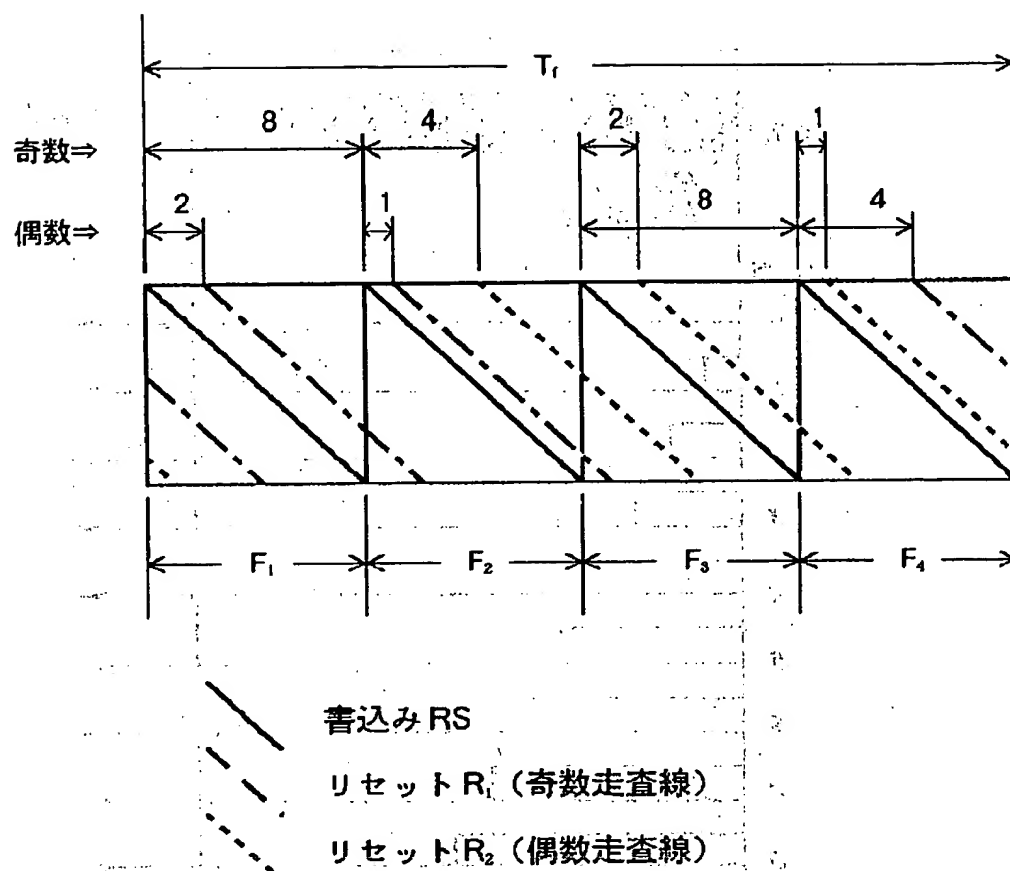


【図10】



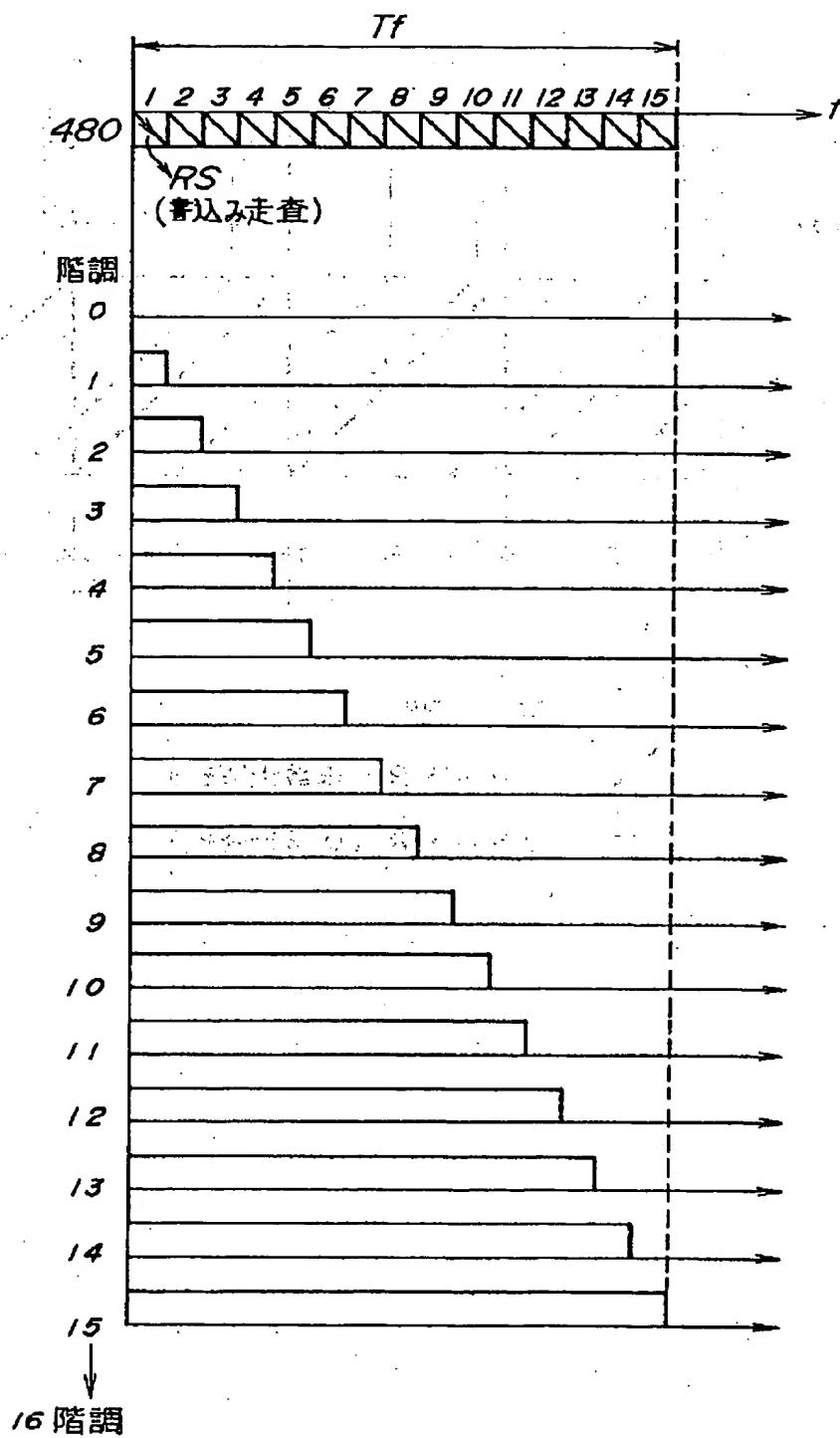
(11)

【図11】



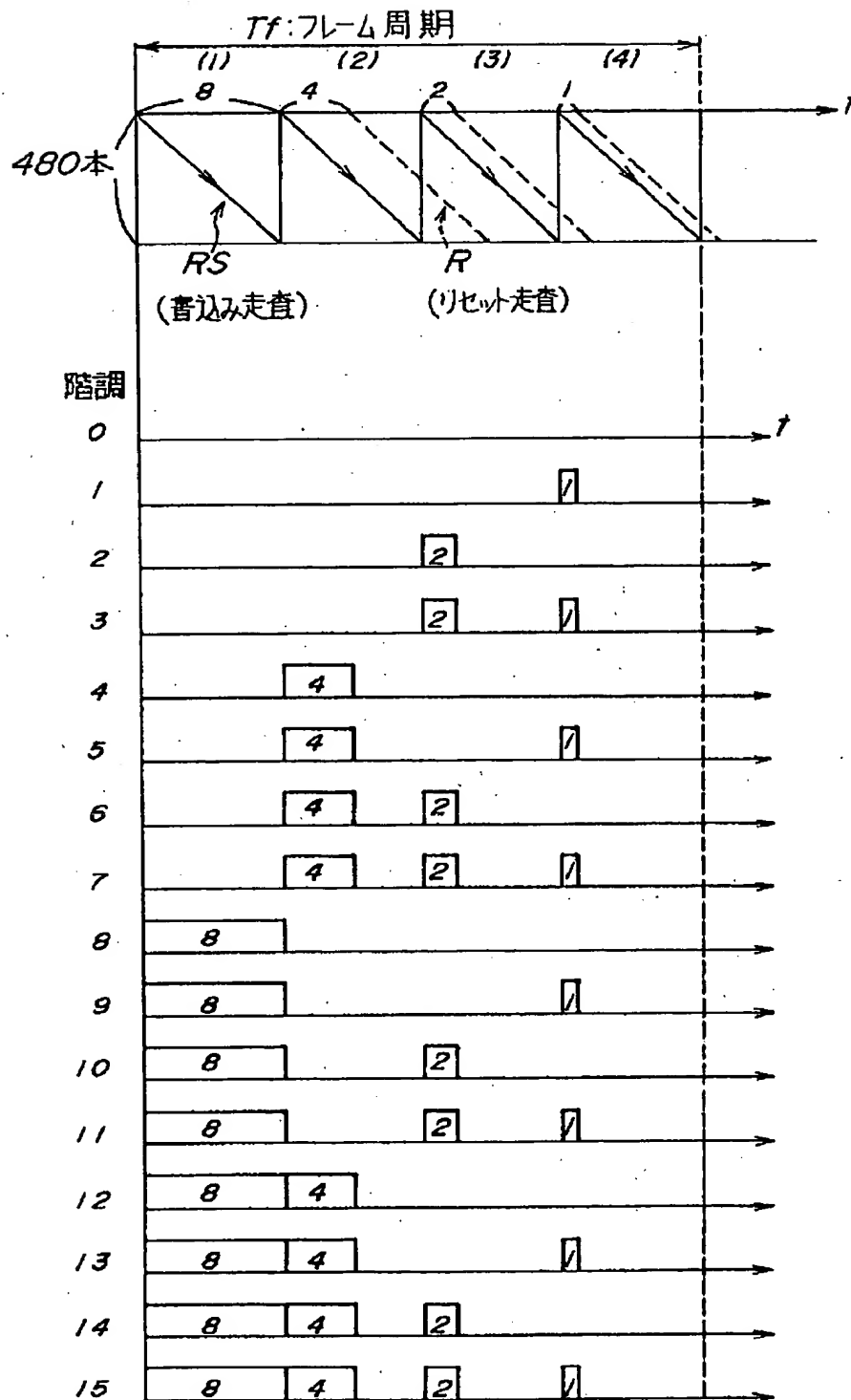
(12)

【図12】



(13)

【図13】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-088646

(43)Date of publication of application : 09.04.1993

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 03-275020

(71)Applicant : FUJI PHOTO FILM CO LTD

(22)Date of filing : 27.09.1991

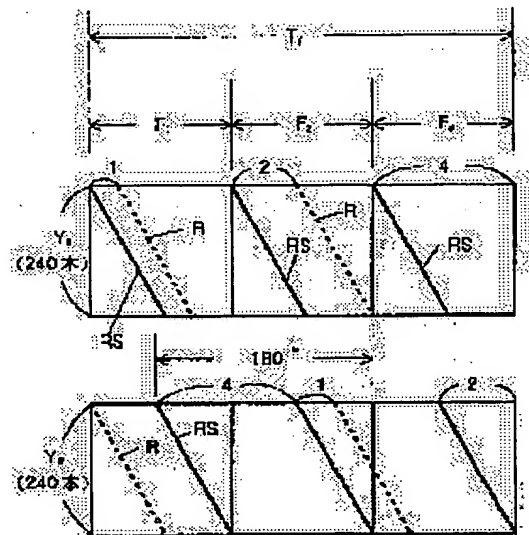
(72)Inventor : KIMURA KOICHI

(54) MATRIX DRIVING METHOD FOR PLANE TYPE DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent a flicker and improve the picture quality of the plane type display device which makes a multi-gradation display by an equal division frame period shortened scanning method as to a plane type display device which has the bistability of ferroelectric crystal.

CONSTITUTION: When a $2N$ -gradation display is made, a frame period T_f is divided equally into N fields and writing to all scanning lines in each field is performed. Further, all the scanning lines are divided into plural groups, resetting is performed in each group a time, corresponding to the $2N$ ($n: 0, 1, \dots, N-1$) gradations, after the wiring to the respective fields, and an interlaced scan on the respective groups is performed so that the periods of the same gradations in the respective groups do not overlap with one another in terms of time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The pixel which has bistability nature is formed in the crossover field of a scan electrode and a display electrode, and it is [** or] 2 Ns by setting up tacitly about each pixel. In the matrix drive approach of the flat-surface mold display device which displays gradation Frame period Tf While carrying out a division-into-equal-parts rate to the field of N individual and writing in to all the scanning lines, respectively in each field all the scanning lines — two or more groups — dividing — the inside of each of these groups — from the writing of each of said field — respectively — 2n (n — 0, 1, and —) The matrix drive approach of the flat-surface mold display device characterized by carrying out interlace scanning of each group so that it may reset after the time amount corresponding to the gradation of N-1 and the period of the same gradation in each group may not lap in time.

[Claim 2] The matrix drive approach of the flat-surface mold display device of claim 1 which divided the scanning line into even groups and acted the part of the phase of the adjoining scanning line by which interlace scanning is carried out of about 180 degree.

[Claim 3] The matrix drive approach of the flat-surface mold display device of claim 2 which set N to 3 and divided the scanning line into two groups.

[Claim 4] The scanning line is the matrix drive approach of the flat-surface mold display device of claim 1 which carries out interlace scanning so that the scanning line of a group which is divided into three or more groups and is different may adjoin.

[Claim 5] The pixel which has bistability nature is formed in the crossover field of a scan electrode and a display electrode, and it is [** or] 2 Ns by setting up tacitly about each pixel. In the matrix drive approach of the flat-surface mold display device which displays gradation Frame period Tf While carrying out a division-into-equal-parts rate to the field of N individual and writing in to all the scanning lines, respectively in each field The matrix drive approach of the flat-surface mold display device characterized by making it the period of the same gradation of the scanning line which resets and adjoins from the writing of each of said field in each scanning line after the time amount corresponding to 2 Ns (n is 0, 1, —, N-1) gradation not lap in time.

[Claim 6] N is the matrix drive approach of the flat-surface mold display device of claim 5 that 180 degrees of phases of the scanning line which the number of is even and adjoins have shifted.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the matrix drive approach for displaying many gradation using the flat-surface mold display device which has bistability nature, such as a ferroelectric liquid crystal.

[0002]

[A Prior art and the background of invention] The flat-surface mold display device of the ferroelectric liquid crystal and others which have a high-speed switching characteristic and bistability nature (memory nature) is well-known. The various drive approaches of having used the property of the bistability nature are also proposed.

[0003] For example, the 2 field method consists of the 2nd field which draws the 1st field which draws the two continuous fields, i.e., black, for one frame, and holds a white pixel, and a white pixel, and holds a black pixel. This approach is the time amount (frame period) T_f required to write one frame since the two separate fields are needed for writing in black and white. It becomes long. That is, by 2τ , then this approach, the write-in time amount of 4τ is needed for the pulse width (selection time amount) which the writing of white or black takes. For this reason, the liquid crystal which can shorten extremely selection time amount 2τ or pulse width τ inevitably is needed. However, it is very difficult to obtain what has such high-speed responsibility. Moreover, since pulse width τ cannot be short-****(ed), it is a frame period T_f . It becomes long and is easy to generate a flicker.

[0004] Moreover, the division-into-equal-parts rate scanning method is also well-known. This approach is the 1 frame period T_f , as shown in the explanatory view of drawing 12. It writes in carrying out a division-into-equal-parts rate to n , scanning all the scanning lines (that several Y being made into 480) within each divided block, writing in for every scanning line, and ** carrying out timing, when it considers as $n+1$ gradation (drawing $n=15$). The timing of the write-in scan corresponding to each scanning line is simplified and shown by the inside RS of drawing. The block count written in black or white according to the gradation drawn in this approach is changed from 0 to 15. That is, for example with gradation 1, only the time amount of block 1 is written in black or white, and it writes in the time of blocks 1-10 in gradation 10.

[0005] However, there is a problem that write-in pulse width τ to white or black becomes very short in this approach. namely, — $\tau = T_f$ It is set to $/(Y \times n \times 2) = T_f / (480 \times 15 \times 2) = T_f / 14400$, and liquid crystal with it is needed. [remarkable responsibility and] [too high]

[0006] The division-into-equal-parts rate frame period compaction scanning method is also well-known (for example, JP,62-56936,A). This approach is 24 as the example of 16 (= 24) gradation shows to drawing 1313. When it considers as gradation, it is a frame period T_f . Each blocks 1-4 equally divided into four are made to correspond to the gradation of 8, 4, 2, and 1, respectively, and the gradation of hope is suitably drawn using the required blocks 1-4. While writing in here in each blocks 1-4 to the timing shown in drawing by RS, reset shown by R after the time amount corresponding to 4, 2, and 1 gradation from the writing of this RS in blocks 2, 3, and 4, respectively is performed, and all the pixels on the scanning line are reset compulsorily. Thereby, each block 2, 3, and 4 is made to correspond to the gradation of 4, 2, and 1.

[0007] According to this approach, pulse width τ is $\tau = T_f / (480 \times 4 \times 2)$

= It is possible for it to be set to $T_f / 3840$ and to lengthen enough. However, according to this approach, there was a problem of being easy to generate CHIRATSUKI of a flicker, i.e., a screen. .

[0008] It is because this flicker is generated when flashing of an adjacent pixel synchronizes within the 1

frame period T_f , or when approaching in time, and the pixel adjoined on the adjacent scanning line synchronizes mostly and blinks in the thing of this drawing 13.

[0009]

[Objects of the Invention] This invention is made in view of such a situation, and it aims at offering the matrix drive approach of the flat-surface mold display device to which prevent a flicker and it enabled it to carry out the same as the above of the image quality in the conventional division-into-equal-parts rate frame period compaction scanning method shown in drawing 13.

[0010]

[Elements of the Invention] According to this invention, this purpose forms in the crossover field of a scan electrode and a display electrode the pixel which has bistability nature, and it is [** or] 2-Ns by setting up tacitly about each pixel. In the matrix drive approach of the flat-surface mold display device which displays gradation While carrying out the division-into-equal-parts rate of the frame period T_f to the field of N individual and writing in to all the scanning lines, respectively in each field all the scanning lines — two or more groups — dividing — the inside of each of these groups — from the writing of each of said field — respectively — $2n$ ($n = 0, 1, \text{ and } \dots$) It resets after the time amount corresponding to the gradation of $N-1$, and is attained by the matrix drive approach of the flat-surface mold display device characterized by carrying out interlace scanning of each group so that the period of the same gradation in each group may not lap in time.

[0011] Moreover, this same purpose is a frame period T_f . A division-into-equal-parts rate is carried out to the field of N individual. while writing in to all the scanning lines, respectively in each field — each scanning line — the writing of each of said field to 2 Ns ($n = 0, 1, \text{ and } \dots$) It resets after the time amount corresponding to the gradation of $N-1$, and is attained also by the matrix drive approach of the flat-surface mold display device characterized by making it the period of the same gradation of the adjoining scanning line not lap in time.

[0012] Although it is desirable to shift about 180 degrees of phases of the scanning line which adjoins here, when it cannot do in this way, it is good to make it become close to 180-degree phase contrast as much as possible.

[0013]

[Example]. The conceptual diagram in which drawing 1 shows the electrode disposition of a liquid crystal display panel, and drawing 2 are the II-II line sectional view. Similarly the upper substrate with which a sign 10 consists of a transparence glass plate, and 12 are bottom substrates in these drawings. 14 and 16 are transparent band-like data electrodes and scan electrodes which were formed in the field where these tops and the bottom substrates 10 and 12 counter. These electrodes 14 and 16 lie at right angles mutually.

[0014] These electrodes 14 and 16 are arranged so that it may counter mutually, after being covered by the orientation film 18 and 20, respectively, and liquid crystal 22 is inserted into the gap. 24 is a spacer for keeping the gap of this liquid crystal 22 constant. The field (for example, the field A shown in drawing 1) across which it faced among two electrodes 14 and 16 as a result turns into this electrode 14 and a pixel field where the amount of transmitted lights changes with the electrical potential differences between 16.

[0015] As liquid crystal 22, a ferroelectric liquid crystal is suitable. a group which shows the spontaneous polarization from which this ferroelectric liquid crystal 22 is represented with the liquid crystal of a chiral smectic C phase — it is a smectic liquid crystal ingredient and the memory phenomenon called a high-speed switching phenomenon and bistability nature is shown. That is, even if the molecular arrangement condition to which orientation bearing of the spontaneous polarization formed of impression of electric field was uniformly equal cuts electric field, it has the property by which memory is carried out as it is. Thus, the made liquid crystal plate controls the amount of transmitted lights from the lighting system which was placed between the polarizing plates (not shown) of two plates, and was put back.

[0016]

[Scan chart] The scan chart used for explanation of the following [here] is explained. The signal v_c supplied to the scan electrode 16 (drawing 1 , 2 reference) and the data electrode 14, respectively, i.e., a scan signal, Data signal v_l It consists of a wave-like pulse as shown in drawing 3 .

[0017] Scan signal v_c It is made combining three sorts of signals, un-choosing [reset, selection, and]. For the potential which has the time amount width of face of τ , respectively, the condition and potential of 0 are [a selection signal S] Vs. It has the wave of the shape of a class with a condition. The time amount 2τ is a period which carries out orientation, and calls it a selection period to “**” or the “dark” of a pixel on the scan electrode 16. The potential in which the non-selection signal N has the time amount width of face of τ , respectively consists of a wave of $3V_s / 4$, and $V_s/4$, and the time amount width-of-face 2τ becomes a period for scanning other scan electrodes 16.

[0018] For reset-signal R , the potential between 2τ is V_s . $R1$ becoming $R2$ from which the potential between 2τ is set to 0 It has two waves. These three sorts of signals S , N , and R are together put so that a postscript may be carried out, and they are supplied to each scan electrode 16. Data signal v_l supplied to the data electrode 14 It has two sorts of signals, the ON which has the time amount width of face of 2τ as shown in drawing 3 , and OFF.

[0019] Scan signal v_c on the scan electrode 16 Data signal v_l on the data electrode 14 As the crossing pixel field shows to drawing 4 , they are both the signals v_c and v_l . It will be put together and a pixel electrical potential difference ($v_c - v_l$) will be added. Namely, scan signal v_c It is $R1$ when it is reset-signal R . And $R2$ Data signal v_l over each time amount 2τ It corresponds to an on-off condition and they are four kinds of different pixel electrical potential differences [$v_c - v_l$] R . It is obtained. What is contributed to change of the light and darkness of a pixel here is, the last part, i.e., shadow area, of an electrical potential difference, and is area τV_s of this shadow area. A pixel is “implicitly” made compulsory by always becoming more than fixed. Namely, data signal v_l Regardless of turning on and off, always “it resets” “implicitly.”

[0020] Scan signal v_c When it is a selection signal S , it is a data signal v_l . Two sorts of pixel electrical potential differences S shown in drawing 4 corresponding to turning on and off [$v_c - v_l$] It is obtained. Data signal v_l When it is ON, a pixel electrical potential difference is V_s . It becomes and a pixel is made into “**.” Data signal v_l When it is OFF, a pixel electrical potential difference is set to $V_s/2$, and does not change the light and darkness of a pixel. Scan signal v_c When it is the non-selection signal N , it is a data signal v_l . Pixel electrical potential difference N which changes the light and darkness of a pixel even if it is ON and off [$v_c - v_l$] It is not obtained and light and darkness do not change.

[0021] Scan signal v_c A scan electrode 16 which is put together and is different as a selection signal S , the non-selection signal N , and reset-signal R show (A) of drawing 5 is supplied in order. The scan signals v_{c1} and v_{c2} and v_{c3} — are impressed to the adjoining scan electrode 16 here, respectively. Moreover, reset-signal R is added just before a selection signal S , and writing is performed by making these signals ($R1$ $R2$ S) into a lot. RS shows this write-in signal.

[0022] Thus, scan signal v_c Since it consists of a write-in signal RS , a non-selection signal N , and reset-signal R , it is a straight line RS about the timing which simplifies (A) of drawing 5 , can show like (B) of this drawing, is simplified further, writes in as shown in (C) of this drawing, and shows a scan, and a broken line R shows the timing of reset.

[0023]

[8 Example of gradation] Drawing 6 is the scan chart Fig. of the example which was applied 2 N s in the case of $23 = 8$ gradation. At this example, it is a frame period T_f . The field $F1$ of three ($=N$) individual at equal intervals, $F2$, and $F3$ It divides. The timing which writes in all the scanning lines (480) in each field is shown by the actual straight line RS . All the scanning lines are the groups $Y1$ in which the first half of writing is performed. A division-into-equal-parts rate is carried out to the group $Y2$ in which the second half of writing is performed. Therefore, each group $Y1$ and $Y2$ It has the 240 scanning lines.

[0024] each [these] group $Y1$ and $Y2$ **** — each field $F1 - F3$ It receives and reset is performed

from the write-in timing RS after the time amount corresponding to the gradation of $2n$, $20 = 1$ [i.e., (n is the integers from 0 to $N-1$),], $21 = 2$, and $22 = 4$. The timing is shown by the straight line R of a broken line. here — each group Y1 and Y2 **** — the timing R of reset is set up so that the period of the same gradation may not lap in time. At this example, it is each group Y1 and Y2. As for the n -th scanning line ($Y1-n$) and ($Y2-n$), the phase is 180-degree **** and an opposite phase. The same is said of the scanning line of the 2nd henceforth.

[0025] When scanning, it is two groups Y1 and Y2. It scans by making it an interlace. Namely, each group Y1 and Y2 ($Y2-n$) The n -th scanning line ($Y1-n$) is arranged in by turns, and is scanned (refer to drawing 7). The scanning line ($Y1-n$) of each group and ($Y2-n$) are the period of gradation which is always different at all time of day. It is two groups Y1 and Y2 especially. As for the n -th scanning line, the phase is opposition to 180-degree ***** each other.

[0026] For this reason, with both the scanning lines, flashing timing comes to show 180-degree **** and its light and darkness to drawing 7 by I. Lightness when I of this drawing sets gradation to "2" is shown, that change period is set to $Tf/2$, and it is a frame period Tf . It turns out that it becomes half (spatial storage effect). For this reason, a flicker can be prevented.

[0027] Interlace scanning is each group Y1 and Y2 here. The scanning line may be put in order and scanned every predetermined numbers, such as every two. Moreover, one group Y1 Group Y2 of another side after displaying the field to depend You may be the thing of the method which scans both the fields by turns as displays the field to depend, may form one screen and scans further 1 screen according to the order of an array of the scanning line.

[0028]

[16 Example 1 of gradation] Drawing in which drawing 8 shows the scan chart Fig. of the example of $24 = 16$ gradation, and drawing 9 shows 2 Ns of the scanning-line array, and drawing 10 are the flashing timing explanatory views to the gradation "8." this example — frame period Tf Field F1 -F4 of $N (= 4)$ individual a division-into-equal-parts rate — carrying out — each — frame F1 -F4 It writes in by covering all the scanning lines inside (write-in timing RS). And it is the scanning line Two groups Y1 and Y2 It divides and was made for the period of the same gradation not to lap by each group. especially the adjoining scanning line ($Y1-n$) and ($Y2-n$) — a phase — 180-degree ***** — since it was made like, it turns out that a flashing period is set to $Tf/2$ as shown in drawing 10 .

[0029]

[16 Example 2 of gradation] Drawing 11 is the scan chart Fig. of other examples to 16 gradation: this example — frame period Tf Field F1 -F4 of $N (= 4)$ while carrying out a division-into-equal-parts rate — each — field F1 -F4 It writes in by covering all the scanning lines inside. The timing is shown by RS. And to the odd-numbered scanning line, it is R1. It resets to the shown timing and is R2 to the even-numbered scanning line. It resets to the shown timing.

[0030] It is each reset timing R1 and R2 so that the period of the same gradation may not lap in the scanning-line comrade who adjoins here. It is set up. especially — this example — the phase of the oddth and even-numbered scanning line — 180-degree ***** — since it is set up like, a flashing period is set to $Tf/2$, and the prevention effectiveness of a flicker becomes large.

[0031] in addition, the phase of the scanning line with which the whole of each above example adjoins — 180-degree ***** — although it is made-like, this invention is not restricted to this. Namely, what is necessary is just to make it the period of this gradation not lap. Moreover, at each aforementioned example, the scanning line is two groups Y1 and Y2. This invention may be divided into three or more groups although divided. In this case, as for the phase of the adjoining scanning line, it is desirable to make it become a thing near opposition as much as possible.

[0032] Although the above example uses ferroelectric liquid crystal, if this invention is a flat-surface mold display device which has the bistability nature (memory nature) maintained until it rewrites ** or the condition of having been written in tacitly and Signal RS and reset-signal R are inputted, it is applicable to other display devices, such as not only liquid crystal but a plasma display.

[0033]

[Effect of the Invention] Invention of claim 1 is 2 Ns about the number of gradation as mentioned above. It carries out and is a frame period T_f . A division-into-equal-parts rate is carried out to the field of N individual. While writing in to all the scanning lines in each field, dividing all the scanning lines into two or more groups and resetting from writing within each group after the time amount corresponding to $2n$ ($n=0, 1, \dots, N-1$) gradation Since interlace scanning is carried out so that the period of the same gradation in each group may not lap in time, flashing between the pixels adjoined on the adjoining scanning line stops synchronizing, there is also the spatial storage effect, and a flicker can prevent effectively. In this case, when the part of the phase of the scanning line which divides the scanning line or more into two, for example, two groups, and adjoins of about 180 degree is acted, the prevention effectiveness of a flicker becomes much more remarkable according to the spatial storage effect (claims 2 and 3). Moreover, the scanning line may be divided into three or more groups, when carrying out interlace scanning so that the scanning line of each group may adjoin mutually, a flashing period may be made to $1/3$, and $1/4$ — according to the spatial storage effect, and the flicker prevention effectiveness may become still larger (claim 4). According to invention of claim 5, since the timing of reset was changed to the oddth and even-numbered scanning line so that the period of the same gradation of the adjoining scanning line might not lap in time, the same effectiveness as invention of said claim 1 is acquired. The about 180-degree face ***** effectiveness becomes still larger about the phase of the scanning line which adjoins here (claim 6).

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.***** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The conceptual diagram showing the electrode disposition of a liquid crystal display panel

[Drawing 2] The II-II line sectional view

[Drawing 3] The wave form chart of the pulse of a scan signal and a data signal

[Drawing 4] The wave form chart of a pixel electrical potential difference

[Drawing 5] The explanatory view of a scan chart

[Drawing 6] The scan chart Fig. of the example of 8 gradation

[Drawing 7] The flashing timing explanatory view

[Drawing 8] The scan chart Fig. of the example 1 of 16 gradation

[Drawing 9] The scanning-line array explanatory view

[Drawing 10] The flashing timing explanatory view

[Drawing 11] The scan chart Fig. of the example 2 of 16 gradation

[Drawing 12] The explanatory view of the conventional division-into-equal-parts rate scanning method

[Drawing 13] The explanatory view of the conventional division-into-equal-parts rate frame period

compaction scanning method

[Description of Notations]

10 Upper Substrate

12 Bottom Substrate

14 Data Electrode

16 Scan Electrode

22 Liquid Crystal

Tf Frame period

F1 and F2 — Field

Y1 and Y2 — Group

RS Write-in signal

R Reset signal

[Translation done.]